

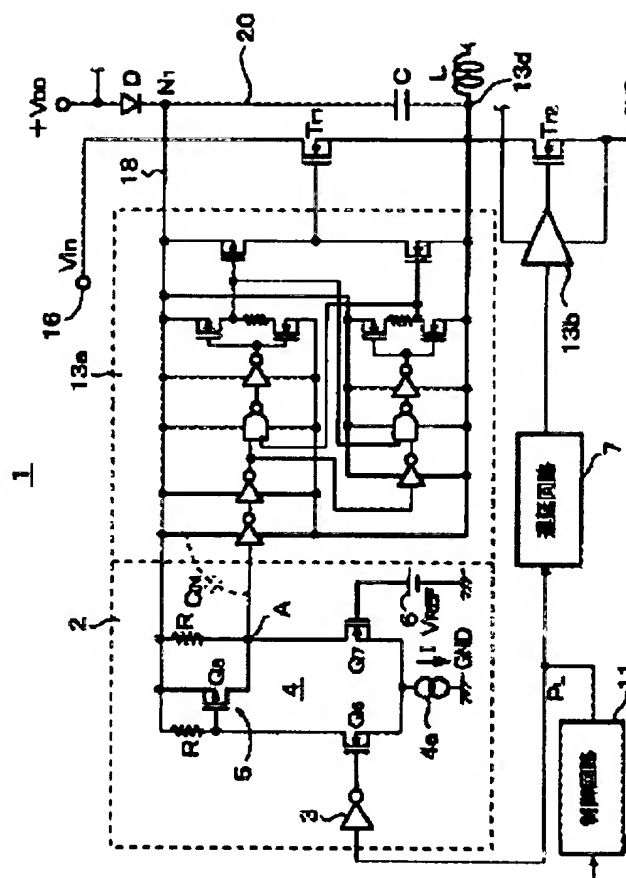
## SWITCHING REGULATOR

**Publication number:** JP2002315311  
**Publication date:** 2002-10-25  
**Inventor:** UMEMOTO SEIKI  
**Applicant:** ROHM CO LTD  
**Classification:**  
 - international: **H02M3/155; H02M3/04; (IPC1-7): H02M3/155**  
 - european:  
**Application number:** JP20010119194 20010418  
**Priority number(s):** JP20010119194 20010418

Report a data error here

### Abstract of JP2002315311

**PROBLEM TO BE SOLVED:** To provide a switching regulator having high voltage stability operating speed, capable of performing regulation for voltage obtained from a high input DC power supply by generating a control pulse with low voltage. **SOLUTION:** This regulator performs switching control for an output stage MOS transistor on a Hi side by generating a control pulse with low voltage, and by converting it to the control pulse having fast rise and fall at high voltage with a level shift circuit. The level shift circuit is constituted of a comparator. A medium level between 'H' and 'L' levels of a first control pulse, which serves as its reference value, is compared with the first control pulse for obtaining outputs of 'L' or 'H' respectively, at a point when the level of the first control pulse exceeds a reference level or when it becomes lower than the reference level. Therefore, the rise and fall of an output signal become fast. Especially, by using a current switch circuit as the comparator, a through rate becomes large, thus it is possible to shorten the rise and fall time.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-315311  
(P2002-315311A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl.<sup>7</sup>  
H 0 2 M 3/155

識別記号

F I  
H 0 2 M 3/155

テーマコード(参考)  
H 5 H 7 3 0

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2001-119194(P2001-119194)

(22) 出願日 平成13年4月18日(2001. 4. 18)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 梅本 清貴

京都市右京区西院清崎町21番地 ローム株式会社内

(74) 代理人 100079555

弁理士 梶山 佑是 (外1名)

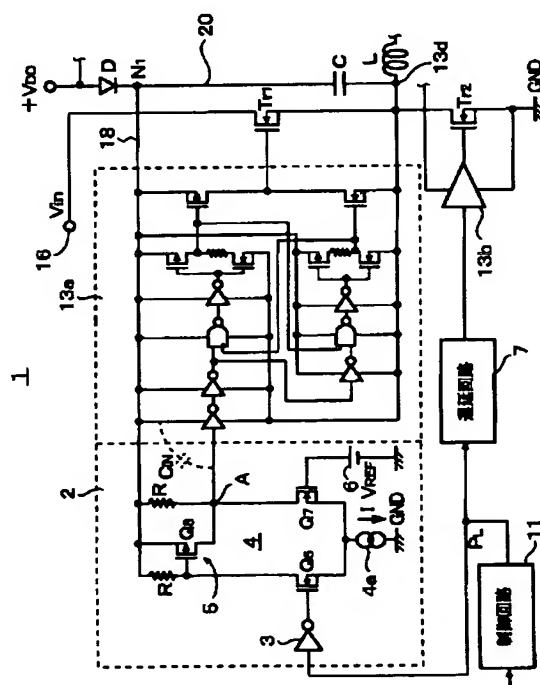
Fターム(参考) 5H730 AA10 AA14 BB13 BB57 DD04  
DD26 EE13 FD01 FG05

(54) 【発明の名称】 スイッチングレギュレータ

(57) 【要約】

【課題】 低い電圧の制御パルスを発生して高い入力直流電源から得られる電圧に対してレギュレーションを行い、かつ、電圧安定化動作速度が速いスイッチングレギュレータを提供することにある。

【解決手段】 この発明は、低い電圧の制御パルスを発生してレベルシフト回路で高い電圧で立上がり、立下がりの速い制御パルスに変換してH i 側の出力段MOSトランジスタをスイッチング制御するものであって、レベルシフト回路をコンパレータで構成して第1の制御パルスの“H”と“L”との中間のレベルを基準として第1の制御パルスと比較することで、第1の制御パルスのレベルが基準レベルを超えたか、これ以下になったかの時点で、“L”と“H”の出力をそれぞれに得ることができるので、その分、出力信号の立上がり、立下がりとなる。特に、カレントスイッチの回路をコンパレータとして利用すれば、スルーレートが大きいので、立上がり、立下がり時間を短縮できる。



#### 【特許請求の範囲】

【請求項 1】 入力電源の電圧より低い電圧で動作して HIGH レベルが前記入力電源の電圧より低い電圧で所定のパルス幅の第 1 の制御パルスを発生する制御回路と、前記入力電源の電圧より高い電圧の電力を受けて前記第 1 の制御パルスに応じてこれのパルスあるいは前記第 1 の制御パルスを反転したパルスに対応するパルスで HIGH レベルを前記第 1 の制御パルスより高い電圧にレベルシフトした第 2 の制御パルスを発生するレベルシフト回路とを有し、前記入力電源からの電力を MOSFET トランジスタで受けて、出力電圧が目標電圧になるように前記第 2 の制御パルスに応じて前記 MOSFET トランジスタをスイッチングして前記出力電圧が前記目標電圧になるように制御するスイッチングレギュレータにおいて、

前記レベルシフト回路は、前記第 1 の制御パルスの HIGH レベルと LOW レベルとの中間のレベルを基準としてこれと前記第 1 の制御パルスの電圧とを比較して比較結果に応じて HIGH レベルの出力パルスを発生するコンパレータと、

前記入力電源の電圧より高い電圧を受けて前記出力パルスに応じて ON になり前記出力パルスの HIGH レベルの電圧を前記第 1 の制御パルスの HIGH レベルより高い電圧に、前記コンパレータの HIGH レベルの出力動作よりも急速に引上げるスイッチ回路とを備え、前記出力パルスを前記第 2 の制御パルスとして発生することを特徴とするスイッチングレギュレータ。

【請求項 2】 前記コンパレータは、一対の差動の N チャネル MOSFET トランジスタからなるカレントスイッチ回路であって、差動の一方の前記トランジスタがそのゲートに前記第 1 の制御パルスの HIGH レベルと LOW レベルとの中間の基準レベルの電圧を受け、差動の他方の前記トランジスタがそのゲートに前記第 1 の制御パルスを受け、差動の各前記トランジスタのドレインがそれぞれ抵抗を介して前記入力電源の電圧より高い電圧のラインに接続され、前記第 1 の制御パルスを反転したパルスを前記出力パルスとして発生し、前記スイッチ回路は、前記他方のトランジスタのドレインにゲートが接続され、ソースが前記入力電源の電圧より高い電圧のラインに接続され、ドレインが前記一方のトランジスタのドレインに接続された p チャネルの MOSFET トランジスタである請求項 1 記載のスイッチングレギュレータ。

【請求項 3】 さらに、前記入力電源のラインとグランドとの間に出力側が従属接続された 2 個の N チャネルの MOSFET トランジスタを有し、これらトランジスタ接続点と前記入力電源の電圧より低い電圧の電源との間にこの低い電源からの電流に対して順方向となるダイオードとコンデンサの直列回路が接続され、前記低い電圧の電源により前記コンデンサが充電されることで前記入力電源の電圧より高い電圧を前記コンデンサの端子に得、

前記 2 個の N チャネルの MOSFET トランジスタのうち前記入力電源のライン側に接続されたトランジスタが前記第 2 の制御パルスに応じてスイッチングされる前記 MOSFET トランジスタであり、前記 2 個の N チャネルの MOSFET トランジスタのうち前記グランド側に接続されたトランジスタが前記第 1 の制御パルスに応じてスイッチングされる請求項 2 記載のスイッチングレギュレータ。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 この発明は、スイッチングレギュレータに関し、詳しくは、低い電圧の制御パルスを発生して高い入力直流電源から得られる電圧に対してレギュレーションをするブートストラップ方式の同期整流型の DC/DC コンバータにおいて、電圧安定化動作速度が速いスイッチングレギュレータの改良に関する。

##### 【0002】

【従来の技術】 従来、携帯型のオーディオ機器やパーソナルコンピュータ、ノート型パーソナルコンピュータ等の携帯型電子機器などにあつては、効率よく電力変換して所定の電源電圧を得るためにスイッチングレギュレータを用いた DC/DC コンバータが利用されている。特に、携帯型電子機器では、ドライバでの電力損失を低減するために、出力段のスイッチングトランジスタを MOSFET トランジスタとし、ブートストラップ方式で電源電圧に近い、これよりも高いゲート電圧を発生して駆動する DC/DC コンバータが用いられる。ドライブ回路の電源電圧 + VDD は、例えば 5 V 程度の低い電圧に抑えられ、最終段で高い電源電圧 + Vcc、例えば、10 V ~ 30 V を受けて高い電圧の電源ラインをスイッチングして高い DC の出力電圧を得ている。

【0003】 図 3 は、この種のスイッチングレギュレータ (DC/DC コンバータ) の一例である。10 は、スイッチングレギュレータであつて、制御回路 11 とレベルシフト回路 12、ブートストラップスイッチング回路 13、平滑回路 14、そして出力電圧検出用の抵抗分圧回路 15 とからなる。なお、16 は、入力電源 Vin が入力される入力端子、17 は、電圧 Vo の電力が出力される出力端子である。制御回路 11 は、例えば、誤差増幅器 11a が出力側の検出電圧 Vs と基準電圧 VREF とを比較して、誤差に応じたレベルの検出信号を発生して、この検出信号に応じてデューティ比が変化する制御パルス PL を PWM パルス発生回路 11b で発生する。レベルシフト回路 12 は、制御パルス PL を受けてこれを高い電圧のレベル変換制御パルス Ph に変換してブートストラップスイッチング回路 13 のハイ (Hi) 側ドライバ 13a を駆動する。ブートストラップスイッチング回路 13 は、Hi 側ドライバ 13a とロウ (Lo) 側ドライバ 13b、そしてブートストラップ回路 13c とを有している。Hi 側ドライバ 13a は、レベル変換制御パル

スPhを受けて最終出力段のnチャネルMOSトランジスタTr1をスイッチング駆動し、Lo側ドライバ13bは、制御パルスPLを受けて最終出力段のnチャネルMOSトランジスタTr2をスイッチング駆動する。

【0004】ここで、トランジスタTr1とトランジスタTr2とは、入力端子16から入力される入力電源Vinのライン（高い電圧の電源ライン19）+VccとグラウンドGND間に積み上げ従属接続され、トランジスタTr1のソースとトランジスタTr2のドレインとの接続点が出力端子13dとなっている。ブートストラップ回路13cは、出力端子13dとデバイスの電源のライン（低い電圧の電源電圧ライン20）+VDD（=5V）との間に逆方向（電源電圧ライン+VDDの電源からの電流に対しては順方向）に挿入されたダイオードDとコンデンサCの直列回路からなり、その接続点N1がブースト電圧ライン18とされ、これがHi側ドライバ13aの電源端子に接続されている。また、出力端子13dとスイッチングレギュレータ10の出力端子17との間には、コイルLとコンデンサCoとからなるL型フィルタの平滑回路14が設けられている。ここで、コンデンサCは、スイッチングOFF時の還流電流によりダイオードDを介して充電されて電圧+5Vの電池となる。入力電源ラインの電圧+Vccを、例えば、2.5Vとし、トランジスタTr1がONになったとすると、ブースト電圧ライン18の電圧は、このとき3.0Vになる。これにより、nチャネルMOSトランジスタTr1のゲート電圧を入力電源電圧より高い、入力電源電圧+5V程度（5V=+VDD）として、トランジスタTr1を十分にON駆動にしてそのON抵抗値を小さくすることができる。出力電圧検出用の抵抗分圧回路15は、出力端子17とグラウンドGNDとの間に設けられた抵抗R1と抵抗R2の直列回路からなり、抵抗R1と抵抗R2との接続点N2の電圧が出力電圧Voの検出電圧Vsとして制御回路11の誤差増幅器11aに入力される。ここで、制御回路11とLo側ドライバ13bとは、低い電源電圧ライン+VDDからの電力で動作し、これにより、この電源回路全体の電力消費が抑えられる。

#### 【0005】

【発明が解決しようとする課題】しかし、このようなスイッチングレギュレータにあっては、レベルシフト回路12として、図4、図5に示すような回路が用いられるため、レベル変換制御パルスPhの立上がり、立下がりの動作遅れによりHi側ドライバ13aの動作が遅れが発生し、電圧安定化動作速度が遅くなる欠点がある。図4（a）は、レベルシフト回路12として、初段にNPNバイポーラトランジスタQ1を設け、これによりNPNバイポーラトランジスタQ2をドライブする。トランジスタQ1のコレクタは、定電流源121を介して電源電圧ライン+VDDに接続され、そのエミッタは接地されている。トランジスタQ2のコレクタは、抵抗R3を介し

てブーストされた電圧ライン18に接続され、そのエミッタは接地されている。これによりコレクタ（A点=Hi側ドライバ13aの入力端子）側に高い電圧のレベル変換制御パルスPhを発生してHi側ドライバ13aを駆動する。この構成のレベルシフト回路12は、トランジスタQ1がOFFしたときに、トランジスタQ2が飽和するため、レベル変換制御パルスPh（A点の電圧）がLOWレベル（以下“L”）からHIGHレベル（以下“H”）へ遷移するときの時間が遅くなる欠点がある。

【0006】図4（b）は、前記の欠点を改善したものであって、レベルシフト回路12として、図（a）のバイポーラトランジスタQ2に換えてnチャネルMOSトランジスタQ3を設け、トランジスタQ1に換えてインバータ122を介して制御パルスPLをトランジスタQ3のゲートに受ける。これによりトランジスタQ3のドレインにレベル変換制御パルスPhを発生してHi側ドライバ13aを駆動する。トランジスタQ2がMOSトランジスタQ3に置き換えられているので、A点の立上がりは図4（a）の回路よりも速くなるが、抵抗R3は、通常、150kΩ程度であるため、Hi側ドライバ13aの入力寄生容量Cinとこの抵抗R3の時定数分だけ“H”の立ち上がりが遅くなる欠点がある。抵抗R3の値を小さくすればA点の立上がりは速くなるが、その分、消費電力が大きくなる。

【0007】図5は、レベルシフト回路12として、前記の図4（a）、（b）の欠点を改善したものであって、（a）のトランジスタQ1、Q2に換えてトランジスタQ1、Q2からなるカレントミラー回路123とし、インバータ122をCMOSインバータ回路124に換えて、この出力によりこのカレントミラー回路123を駆動する。このとき、CMOSインバータ回路124の出力電流値を抵抗R4により制限しかつ定電流とする。この電流をカレントミラー回路123の入力側トランジスタQ1を介して出力側トランジスタQ2に転送してトランジスタQ2のコレクタに直列に挿入された抵抗R5を介してHi側ドライバ13aの入力端子（A点）に出力する。なお、この回路では、A点にNPNトランジスタQ4、PNPトランジスタQ5からなるオーバーシュートクランプ回路125が接続されている。このレベルシフト回路12は、トランジスタQ2がOFFしたときにレベル変換制御パルスPhが立上がり、トランジスタQ2がONしたときにレベル変換制御パルスPhが立下がる。レベル変換制御パルスPhの立上がり、立下がりレート速度は、抵抗R4、抵抗R5の値と入力段の寄生容量CINとにより決定される。この場合、抵抗R4の値を選択することで、駆動電流を小さくできる。また、抵抗R3を小さくすることで、消費電力の低減とA点の立上がりを速くできる利点がある。しかし、この回路は、レベル変換制御パルスPh（A点）が“H”から“L”になるときにNPNトランジスタQ2がONになり、抵抗R5が挿入

されている分だけ電圧降下が遅れ、入力段の寄生容量C<sub>IN</sub>との関係でレベル変換制御パルスPhの立下がりが遅くなる欠点がある。この発明の目的は、このような従来技術の問題点を解決するものであって、低い電圧の制御パルスを発生して高い入力直流電源から得られる電圧に対してレギュレーションを行い、かつ、電圧安定化動作速度が速いスイッチングレギュレータを提供することにある。

#### 【0008】

【課題を解決するための手段】このような目的を達成するためのこの発明のスイッチングレギュレータの特徴は、入力電源の電圧より低い電圧で動作して“H”が入力電源の電圧より低い電圧で所定のパルス幅の第1の制御パルスを発生する制御回路と、入力電源の電圧より高い電圧の電力を受けて第1の制御パルスに応じてこのパルス幅あるいは第1の制御パルスを反転したパルス幅に対応するパルス幅で“H”を第1の制御パルスより高い電圧にレベルシフトした第2の制御パルスを発生するレベルシフト回路とを有し、入力電源からの電力をMOSFETトランジスタで受けて、出力電圧が目標電圧になるように第2の制御パルスに応じてMOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、前記のレベルシフト回路が第1の制御パルスの“H”と“L”との中間のレベルを基準としてこれと第1の制御パルスの電圧とを比較して比較結果に応じて出力パルスを発生するコンパレータと、入力電源の電圧より高い電圧を受けて出力パルスに応じてONになり出力パルスの電圧を第1の制御パルスの“H”より高い電圧にコンパレータのHIGHレベルの出力動作よりも急速に引上げるスイッチ回路とを備えていて、出力パルスを第2の制御パルスとして発生するものである。

#### 【0009】

【発明の実施の形態】このように、この発明は、低い電圧の制御パルスを発生してレベルシフト回路で高い電圧で立上がり、立下がりの速い制御パルスに変換してHi側の出力段MOSトランジスタをスイッチング制御するものであって、レベルシフト回路をコンパレータで構成して第1の制御パルスの“H”と“L”との中間のレベルを基準としてこれと第1の制御パルスとを比較することで、第1の制御パルスのレベルが基準レベルを超えたか、これ以下になったかの時点で、“L”と“H”の出力をそれぞれにコンパレータから得ることができる。その分、第2の制御パルスの立上がり、立下がり速度が速くなり、特に、カレントスイッチの回路をコンパレータとして利用すれば、スルーレートが大きいので、立上がり、立下がり時間を短縮できる。その結果、高い入力直流電圧のレギュレーションに対して電圧安定化動作速度が速いスイッチングレギュレータを容易に実現できる。

#### 【0010】

【実施例】図1は、この発明のスイッチングレギュレータを適用した一実施例のブロック図である。なお、図3、図4、そして図5と同一の構成要素は同一の符号で示し、その説明を割愛する。図1のスイッチングレギュレータ1においては、図4、図5に示すレベルシフト回路12に換えてレベルシフト回路2をコンパレータを主体として構成したものである。レベルシフト回路2は、インバータ3とカレントスイッチ回路4、そしてpチャネルMOSトランジスタQ8からなるスイッチ回路5、抵抗Rとから構成されている。カレントスイッチ回路4は、NチャネルMOSトランジスタQ6、Q7の差動トランジスタを有し、これらのエミッタが共通に接続されて、これの下流に設けられた電流値Iの定電流源4aを介して接地されている。トランジスタQ6、Q7のそれぞれのコレクタは、等しい抵抗値の抵抗R、Rを介してそれぞれがブースト電圧ライン18に接続されている。トランジスタQ6のゲートは、インバータ3を介して制御回路11から制御パルスPLを受ける。トランジスタQ7のゲートは、基準電圧発生回路6を介して接地されている。そして、トランジスタQ8のソースがブースト電圧ライン18に接続され、そのドレインがトランジスタQ7のドレインに接続され、そのゲートがトランジスタQ6のドレインに接続されている。なお、抵抗Rは、定電流源4aの電流値Iであるので、その電圧降下分、 $I \times R$ （ただし、Rは抵抗Rの抵抗値とする。）がトランジスタQ8のゲート閾値以上の値、例えば、この電圧値 $> 0.7V$ になるようにその抵抗値が選択されている。

【0011】ここで、カレントスイッチ回路4は、基準電圧発生回路6と入力信号とをコンパレートして切換動作をするコンパレータとなっていて、基準電圧発生回路6が発生する基準電圧は、5V電源+VDDにおける“H”、“L”の中間レベル、例えば2.5Vに設定されている。そこで、制御パルスPLが“L”から“H”に遷移するとき、それがインバータ3により反転されて“H”と“L”の中間レベルより下がったときにトランジスタQ7がONとなり、トランジスタQ6がOFFなる。逆に、制御パルスPLが“H”から“L”に遷移するとき、それがインバータ3により反転されて“H”と“L”の中間レベルを超えたときにトランジスタQ6がONとなり、トランジスタQ7がOFFする。これにより、制御パルスPLのレベルが基準レベルを超えたか、これ以下になったかの時点で、“H”と“L”の出力をカレントスイッチ回路4からそれぞれに得ることができるので、その分、レベル変換制御パルスPhの立上がり、立下がり速度が速くなる。しかも、インバータ3の入力に加えられる制御パルスPLが“H”から“L”に遷移したときにはトランジスタQ6がONとなるので、抵抗Rの電圧降下により発生する電圧でスイッチ回路5（トランジスタQ8）がONとなり、Hi側ドライバ13aの入力端子（A点）の電圧が本来のカレントスイッチ回

路4の出力動作よりも急速に“H”となる。逆に、制御パルスPLが“L”から“H”に遷移するときには、制御パルスPLが中間レベル（基準電圧発生回路6の電圧VREF）より降下したときに（インバータ3の出力が中間レベルより上昇したとき）、トランジスタQ6がOFFとなり、トランジスタQ7がONとなって、トランジスタQ5がOFFとなる。このとき、Hi側ドライバ13aの入力端子（A点）にトランジスタQ7が直接接続されているので、レベル変換制御パルスPhは、高速に立下がることことができる。

【0012】図2は、図4、図5の回路と本願発明の図1の実施例との立上がり立下がりの遅れ時間の一例を示す表である。ただし、 $+VDD=5V$ 、 $+Vcc=2.5V \sim 3.0V$ とし、制御パルスPLを“L” $\rightarrow 0$ 、“H” $\rightarrow 5V$ とし、レベル変換制御パルスPhを“L” $\rightarrow 5V$ 、“H” $\rightarrow 2.5V \sim 3.0V$ として、レベルシフト回路2のHi側ドライバ13aに対する駆動電流（A点に電圧“L”を発生する電流）を $200\mu A$ に設定した場合である。表1に示すように、図1の実施例では、立上がりが $10nsec$ 、立下がりが $30nsec$ となり、立上がり、立下がり時間とも従来のものより大きく改善されている。

【0013】なお、Lo側ドライバ13bは、従来と同様に、制御パルスPLを制御回路11から受けて動作することになるが、ここでは、Hi側ドライバ13aと同時にONすることを防止するために、遅延回路7を介してレベル変換制御パルスPhに対してタイミングをずらせて制御パルスPLがLo側ドライバ13bに入力されるようになっている。このLo側ドライバ13bは、レベルシフト回路2の出力を受けないHi側ドライバ13aと同様な回路を用いることができる。この場合、ブート電圧ライン18は、デバイス電源電圧である $+VDD$ のラインとなり、コイルLに接続される端子13dのラインがグランドGNDとなる。以上説明してきたが、実施例では、コンパレータの一例としてカレントスイッチ回路を利用しているが、この発明は、他の構成のコンパレータを使用してもよいことはもちろんである。

【0014】

【発明の効果】以上説明してきたように、この発明においては、低い電圧の制御パルスを発生してレベルシフト回路で高い電圧で立上がり、立下がりの速い制御パルスに変換してHi側の出力段MOSトランジスタをスイッチング制御するものであって、レベルシフト回路をコンパレータで構成して第1の制御パルスの“H”と“L”との中間のレベルを基準としてこれと第1の制御パルスとを比較することで、第2の制御パルスの立上がり、立下がりが速くなり、特に、カレントスイッチの回路をコンパレータとして利用すれば、スルーレートが大きいので、立上がり、立下がり時間を短縮できる。その結果、高い入力直流電圧のレギュレーションに対して電圧安定化動作速度が速いスイッチングレギュレータを容易に実現できる。

【図面の簡単な説明】

【図1】図1は、この発明のスイッチングレギュレータを適用した一実施例のブロック図である。

【図2】図2は、その効果を説明するための従来技術との比較例の説明図である。

【図3】図3は、ブートストラップ方式のスイッチングレギュレータの一例の説明図である。

【図4】図4は、図3における従来のレベルシフト回路の説明図である。

【図5】図5は、図3における従来のレベルシフト回路の他の1例の説明図である。

【符号の説明】

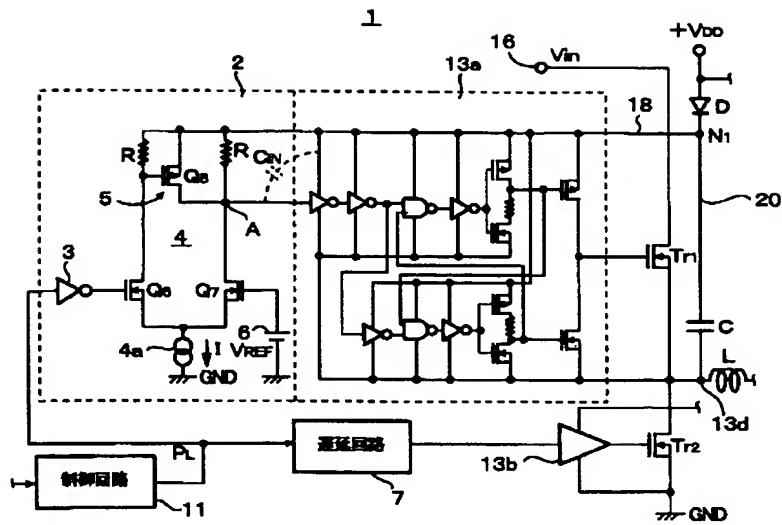
1…スイッチングレギュレータ、10…スイッチングレギュレータ、2、12…レベルシフト回路、3…インバータ、4…カレントスイッチ回路、5…pチャネルMOSトランジスタ、11…制御回路、11a…誤差増幅器、11b…PWMパルス発生回路、12…レベルシフト回路、13…ブートストラップスイッチング回路、14…平滑回路、15…出力電圧検出用の抵抗分圧回路、16…入力端子、17…出力端子、18…ブート電圧ライン、131…入力段回路、13a…Hi側ドライバ、13b…Lo側ドライバ、13d…出力端子、Tr1、Tr2、Q1～Q7…トランジスタ、C、Co…コンデンサ、R、R1～R5…抵抗。

【図2】

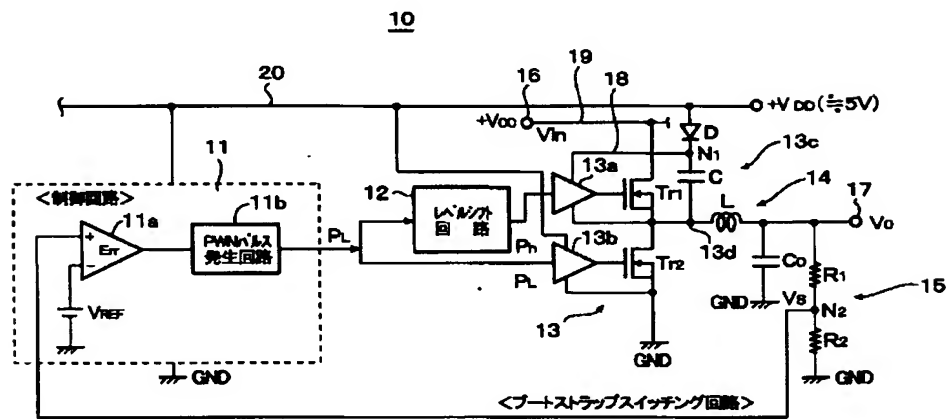
表1

レベルシフト回路	立上がり	立下がり
図4(a)の回路	250ns	11.2ns
図4(b)の回路	80ns	80ns
図5の回路	15ns	40ns
実施例	10ns	30ns

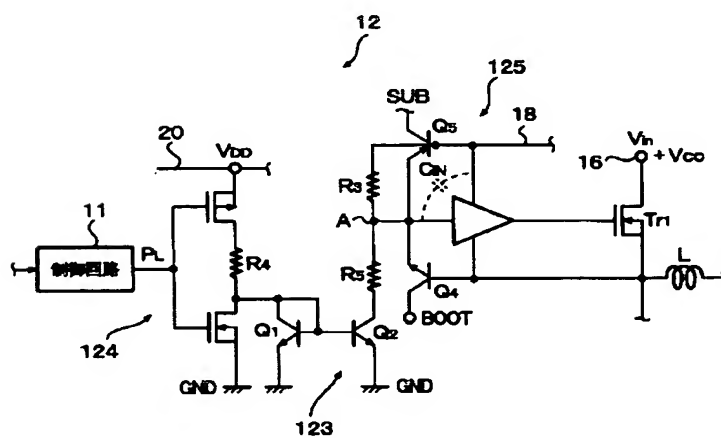
【図 1】



【図 3】



【図5】



【図4】

